

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004 年 9 月 30 日 (30.09.2004)

PCT

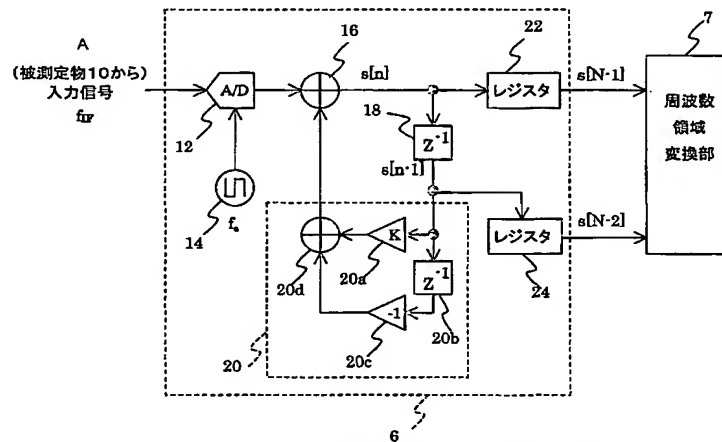
(10) 国際公開番号
WO 2004/083875 A1

- (51) 国際特許分類⁷: G01R 27/28 (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 高橋 聡一 (TAKA-HASHI, Satoshi) [JP/JP]; 〒1790071 東京都練馬区旭町一丁目 3 2 番 1 号 株式会社アドバンテスト内 Tokyo (JP).
- (21) 国際出願番号: PCT/JP2004/003485
- (22) 国際出願日: 2004 年 3 月 16 日 (16.03.2004)
- (25) 国際出願の言語: 日本語 (74) 代理人: 細田 益稔 (HOSODA, Masutoshi); 〒1070052 東京都港区赤坂二丁目 1 7 番 2 2 号 赤坂ツインタワー本館 1 1 F Tokyo (JP).
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2003-076466 2003 年 3 月 19 日 (19.03.2003) JP (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE,
- (71) 出願人 (米国を除く全ての指定国について): 株式会社アドバンテスト (ADVANTEST CORPORATION) [JP/JP]; 〒1790071 東京都練馬区旭町一丁目 3 2 番 1 号 Tokyo (JP).

[続葉有]

(54) Title: WAVE DETECTION DEVICE, METHOD, PROGRAM, AND RECORDING MEDIUM

(54) 発明の名称: 検波装置、方法、プログラム、記録媒体

A...INPUT SIGNAL f_{IF} (FROM OBJECT 10 TO BE MEASURED)

22...REGISTER

24...REGISTER

7...FREQUENCY REGION CONVERSION SECTION

(57) Abstract: It is possible to detect a reception signal at a high speed. A wave detection device includes: a first signal output unit (16) for outputting a first signal $s[n]$ which is a sum of a digital input signal subjected to A/D conversion and an output from a feedback signal output section (20); a second signal output unit (18) for outputting a second signal $s[n-1]$ which is the first signal $s[n]$ delayed by one sampling timing; and a feedback signal output section (20) for subjecting the second signal $s[n-1]$ to a predetermined calculation. When $n = N-1$, a frequency region conversion section (7) reads out the first signal $s[N-1]$ and the second signal $s[N-2]$ from registers (22, 24) and subject them to a predetermined calculation, thereby obtaining the input signal subjected to DFT. Since the wave detection device (6) has simple configuration, it is possible to rapidly detect the reception signal which is an input signal of the wave detection device (6).

(57) 要約: 受信信号の検波を高速に行う。A/D変換されたデジタル入力信号とフィードバック信号出力部 20 の出力とを加えた第一信号 $s[n]$ を出力する第一信号出力器 16 と、第一信号 $s[n]$ を 1 サンプルタイミングだけ

[続葉有]



SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, YU, ZA, ZM, ZW.

NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG,
CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が
可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL,
SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG,
KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY,
CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC,

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

け遅延させた第二信号 $s[n-1]$ を出力する第二信号出力器18と、第二信号 $s[n-1]$ に所定の演算を施すフィードバック
信号出力部20を備え、 $n=N-1$ のときの、第一信号 $s[N-1]$ 、第二信号 $s[N-2]$ をレジスタ22、24から周波数領域
変換部7が読み出して、所定の演算を施すことで、入力信号をDFTしたものが求められる。検波装置6の構成が簡
易であるため、検波装置6の入力信号たる受信信号の検波を高速に行うことができる。

1

明 細 書

検波装置、方法、プログラム、記録媒体

5 技術分野

本発明は受信信号の復調に関する。

背景技術

従来より、受信信号を直交検波することが広く行われている。従来
10 の直交検波器については、例えば、特許文献 1（特開平 10－230
92号公報（図2））に記載がある。図7は、従来技術の直交検波器を
示す図である。

被測定信号源 141 の出力する被測定信号は、乗算器 147、14
15 8 に与えられる。基準信号源 142 の出力する基準信号は、乗算器 1
47 に与えられ、しかも 90 度位相シフタ 145 を介して乗算器 14
8 に与えられる。乗算器 147 および 148 は、それぞれ与えられた
信号を乗算して、低域通過フィルタ 151、152 に出力する。低域
通過フィルタ 151、152 を通過した信号がそれぞれ I、Q 信号と
20 いわれる。

上記のような直交検波により得られた I、Q 信号は、CPU
（Central Processing Unit）により処理され、被測定信号の振幅およ
び位相が求められる。また、被測定信号源 141 の出力する被測定信
25 号を A/D 変換しておくこともある。

2

しかしながら、上記のような直交検波器をハードウェアで実現すること等によって処理の高速化を図ることは困難である。例えば、基準信号源 1 4 2 に N C O (Numerical Controlled Oscillator) を使用したとすれば、基準信号源 1 4 2 は大きなサインテーブルを持たねばならない。また、低域通過フィルタ 1 5 1、1 5 2 を論理回路で実装した場合は、演算量が多くなる。さらに、I、Q 信号を C P U が受けとって処理する場合、C P U の処理速度にまで I、Q 信号の生成速度を落とすためのデシメーションが必要となる。デシメーションを行うと、デシメートによる信号の折り返しが生ずる。そこで、信号の折り返しを防ぐデシメーションフィルタが必要となる。

そこで、本発明は、受信信号の検波を高速に行うことを課題とする。

発明の開示

本発明は、入力信号をサンプリングしてデジタル入力信号を生成するデジタル入力信号生成手段と、デジタル入力信号と所定の信号とを加算した第一信号を出力する第一信号出力手段と、デジタル入力信号生成手段におけるサンプリングタイミングの一周期分の時間である 1 タイミングだけ第一信号を遅延させた第二信号を出力する第二信号出力手段と、1 タイミングの所定整数倍ごとに、第一信号および第二信号を取得して、入力信号を周波数領域のデータに変換したものを求める周波数領域変換手段とを備え、所定の信号は、1 タイミングだけ第一信号を遅延させた信号に所定係数を乗じたものから、2 タイミングだけ第一信号を遅延させたものを減じた信号であるように構成される。

25

上記のように構成された発明によれば、デジタル入力信号生成手段

3

は、入力信号をサンプリングしてデジタル入力信号を生成する。第一信号出力手段は、デジタル入力信号と所定の信号とを加算した第一信号を出力する。第二信号出力手段は、デジタル入力信号生成手段におけるサンプリングタイミングの一周期分の時間である 1 タイミングだけ第一信号を遅延させた第二信号を出力する。周波数領域変換手段は、1 タイミングの所定整数倍ごとに、第一信号および第二信号を取得して、入力信号を周波数領域のデータに変換したものを求める。所定の信号は、1 タイミングだけ第一信号を遅延させた信号に所定係数を乗じたものから、2 タイミングだけ第一信号を遅延させたものを減じた信号である。

また、本発明は、第二信号に所定係数を乗じたものから、第二信号を 1 タイミングだけ遅延させたものを減じたフィードバック信号を出力するフィードバック信号出力手段を備え、所定の信号は、フィードバック信号であるようにしてもよい。

また、本発明は、1 タイミングの時間をかけて、第一信号に所定係数を乗じた第一フィードバック信号を出力する第一フィードバック信号出力手段と、第二信号を 1 タイミングだけ遅延させ、符号を反転させた第二フィードバック信号を出力する第二フィードバック信号出力手段とを備え、所定の信号は、第一フィードバック信号および第二フィードバック信号であるようにしてもよい。

また、本発明は、第二信号に所定係数を乗じた第三フィードバック信号を出力する第三フィードバック信号出力手段と、第二信号を 1 タイミングだけ遅延させ、符号を反転させた第二フィードバック信号を

4

出力する第二フィードバック信号出力手段とを備え、所定の信号は、第三フィードバック信号および第二フィードバック信号であるようにしてもよい。

- 5 また、本発明は、入力信号は、被測定物の過渡応答および過渡応答に引き続いて生ずる定常応答が繰り返しているものであり、第一信号出力手段は、周波数領域変換手段が第一信号を取得した後は、過渡応答が再度生じてから終えるまで第一信号の出力を行わないようにしてもよい。

10

ここで、本発明は、周波数領域変換手段が第一信号を取得した後から、過渡応答が再度生じてから終えるまでの間に、所定係数の設定が行なわれるようにしてもよい。

- 15 ここで、本発明は、周波数領域変換手段は、周波数領域変換手段が第一信号を取得した後から、過渡応答が再度生じてから終えるまでの間に、所定整数の設定を行うようにしてもよい。

- 20 本発明は、デジタル入力信号生成手段が、入力信号をサンプリングしてデジタル入力信号を生成するデジタル入力信号生成工程と、第一信号出力手段が、デジタル入力信号と所定の信号とを加算した第一信号を出力する第一信号出力工程と、第二信号出力手段が、デジタル入力信号生成工程におけるサンプリングタイミングの一周期分の時間である1タイミングだけ第一信号を遅延させた第二信号を出力する第二
25 信号出力工程と、周波数領域変換手段が、1タイミングの所定整数倍ごとに、第一信号および第二信号を取得して、入力信号を周波数領域

5

のデータに変換したものを求める周波数領域変換工程とを備え、所定の信号は、1 タイミングだけ第一信号を遅延させた信号に所定係数を乗じたものから、2 タイミングだけ第一信号を遅延させたものを減じた信号であるように構成される。

5

本発明は、入力信号をサンプリングしてデジタル入力信号を生成するデジタル入力信号生成手段を有する検波装置における検波処理をコンピュータに実行させるためのプログラムであって、デジタル入力信号と所定の信号とを加算した第一信号を出力する第一信号出力処理と、
10 デジタル入力信号生成手段におけるサンプリングタイミングの一周期分の時間である1 タイミングだけ第一信号を遅延させた第二信号を出力する第二信号出力処理と、1 タイミングの所定整数倍ごとに、第一信号および第二信号を取得して、入力信号を周波数領域のデータに変換したものを求める周波数領域変換処理とをコンピュータに実行させるためのプログラムであり、所定の信号は、1 タイミングだけ第一信号を遅延させた信号に所定係数を乗じたものから、2 タイミングだけ
15 第一信号を遅延させたものを減じた信号であるプログラムである。

本発明は、入力信号をサンプリングしてデジタル入力信号を生成する
20 デジタル入力信号生成手段を有する検波装置における検波処理をコンピュータに実行させるためのプログラムを記録したコンピュータによって読み取り可能な記録媒体であって、デジタル入力信号と所定の信号とを加算した第一信号を出力する第一信号出力処理と、デジタル入力信号生成手段におけるサンプリングタイミングの一周期分の時間
25 である1 タイミングだけ第一信号を遅延させた第二信号を出力する第二信号出力処理と、1 タイミングの所定整数倍ごとに、第一信号およ

6

び第二信号を取得して、入力信号を周波数領域のデータに変換したものを求める周波数領域変換処理とをコンピュータに実行させるためのプログラムを記録したコンピュータによって読み取り可能な記録媒体であり、所定の信号は、1 タイミングだけ第一信号を遅延させた信号
5 に所定係数を乗じたものから、2 タイミングだけ第一信号を遅延させたものを減じた信号である記録媒体である。

本発明は、入力信号をサンプリングしてデジタル入力信号を生成するデジタル入力信号生成手段と、デジタル入力信号と所定の信号とを
10 加算した第一信号を出力する第一信号出力手段と、デジタル入力信号生成手段におけるサンプリングタイミングの一周期分の時間である1 タイミングだけ第一信号を遅延させた第二信号を出力する第二信号出力手段とを有する検波装置における検波処理をコンピュータに実行させるためのプログラムであって、1 タイミングの所定整数倍ごとに、
15 第一信号および第二信号を取得して、入力信号を周波数領域のデータに変換したものを求める周波数領域変換処理をコンピュータに実行させるためのプログラムであり、所定の信号は、1 タイミングだけ第一信号を遅延させた信号に所定係数を乗じたものから、2 タイミングだけ第一信号を遅延させたものを減じた信号であるプログラムである。

20

本発明は、入力信号をサンプリングしてデジタル入力信号を生成するデジタル入力信号生成手段と、デジタル入力信号と所定の信号とを加算した第一信号を出力する第一信号出力手段と、デジタル入力信号生成手段におけるサンプリングタイミングの一周期分の時間である1
25 タイミングだけ第一信号を遅延させた第二信号を出力する第二信号出力手段とを有する検波装置における検波処理をコンピュータに実行さ

7

せるためのプログラムを記録したコンピュータによって読み取り可能な記録媒体であって、1 タイミングの所定整数倍ごとに、第一信号および第二信号を取得して、入力信号を周波数領域のデータに変換したものを求める周波数領域変換処理をコンピュータに実行させるための

5 プログラムを記録したコンピュータによって読み取り可能な記録媒体であり、所定の信号は、1 タイミングだけ第一信号を遅延させた信号に所定係数を乗じたものから、2 タイミングだけ第一信号を遅延させたものを減じた信号である記録媒体である。

10 図面の簡単な説明

図1は、本発明の実施形態にかかる検波装置6を利用したネットワークアナライザ1の構成を示すブロック図である。

図2は、本発明の第一の実施形態にかかる検波装置6の構成を示すブロック図である。

- 15 図3は、信号のタイミングチャートであり、入力信号の周波数 f_{IF} の信号の包絡線（図3(A))、トリガ信号（図3(B))、サンプリングタイミング（図3(C))、周波数領域変換部7による第一信号および第二信号の取得タイミング（図3(D))を示す。

図4は、本発明の実施形態の動作を示すフローチャートである。

- 20 図5は、本発明の第二の実施形態にかかる検波装置6の構成を示すブロック図である。

図6は、本発明の第三の実施形態にかかる検波装置6の構成を示すブロック図である。

図7は、従来技術の直交検波器を示す図である。

8

発明を実施するための最良の形態

以下、本発明の実施形態を図面を参照しながら説明する。

図 1 は、本発明の実施形態にかかる検波装置 6 を利用したネットワークアナライザ 1 の構成を示すブロック図である。ネットワークアナライザ 1 は、被測定物（DUT : Device Under Test）10 の応答特性を測定する。

ネットワークアナライザ 1 は、周波数指定部 2、発振器 4、検波装置 6、周波数領域変換部 7、応答特性測定部 8、表示装置 9 を備える。

周波数指定部 2 は、発振器 4 の発振する信号の周波数を指定する。

発振器 4 は、周波数指定部 2 から周波数の指定を受け、指定された周波数の信号を被測定物 10 に向けて出力する。

検波装置 6 は、発振器 4 から信号を受けた結果として被測定物 10 が出力した信号を受け、検波を行い、第一信号および第二信号を出力する。なお、第一信号および第二信号については後述する。

20

周波数領域変換部 7 は、検波装置 6 から検波結果たる第一信号および第二信号を受け、周波数領域の信号に変換する。

応答特性測定部 8 は、周波数領域変換部 7 が求めた周波数領域の信号に基づき、被測定物 10 からの出力の振幅と位相を求める。これらが、被測定物 10 の応答特性となる。そして、表示装置 9 に出力する。

表示装置 9 は、被測定物 10 からの出力の振幅と位相を応答特性測定部 8 から受けて表示する。

- 5 なお、周波数指定部 2、周波数領域変換部 7 および応答特性測定部 8 は、それぞれの機能を実現するプログラムをハードディスク、ROM あるいは RAM などに記録しておき、CPU がかかるプログラムを読み出して実行していくことにより実現することが可能である。ネットワークアナライザ 1 がメディア（フロッピーディスク、CD-ROM など）読み取り装置を備えていれば、プログラムを記録したメディアを
10 メディア読み取り装置に読み取らせることにより、ハードディスク等にプログラムをインストールすることができる。

第一の実施形態

- 15 図 2 は、本発明の第一の実施形態にかかる検波装置 6 の構成を示すブロック図である。検波装置 6 は、A/D コンバータ 12、クロックジェネレータ 14、第一信号出力器 16、第二信号出力器 18、フィードバック信号出力部 20、第一レジスタ 22、第二レジスタ 24 を備える。

20

A/D コンバータ 12 は、被測定物 10 から出力された信号を入力信号として受け、デジタル入力信号に変換して出力する。なお、入力信号は、中心周波数が f_{IF} であるものとする。デジタル入力信号の信号列を $x[0], x[1], \dots, x[n], \dots, x[N-1]$ と表す。

25

クロックジェネレータ 14 は、A/D コンバータ 12 のサンプリング

10

グタイミングを発生する。なお、サンプリング周波数は f_s であるものとする。

5 第一信号出力器 16 は、A/Dコンバータ 12 から出力されたデジタル入力信号と、フィードバック信号出力部 20 から出力されたフィードバック信号とを加算して出力する。第一信号出力器 16 の出力を第一信号という。ここで、第一信号を $s[n]$ という。ただし、 $0 \leq n \leq N-1$ であって、 $s[n]$ は $x[n]$ に対応する。

10 第二信号出力器 18 は、第一信号を受け、サンプリングタイミングの一周期分の時間（以下、「1 タイミング」という）だけ遅延させて出力する。第二信号出力器 18 の出力を第二信号という。第二信号は、 $s[n-1]$ と表される。第一信号を 1 タイミング遅らせたので、第一信号 $s[n]$ の n から 1 を減じたものである。

15

フィードバック信号出力部 20 は、定数乗算器 20 a、遅延手段 20 b、符号逆転器 20 c、加算器 20 d を有する。定数乗算器 20 a は、第二信号に所定の係数 K を乗じて出力する。なお、 K は以下の式で表される。 K は、実数であることに留意されたい。

20

【数 1】

$$K = 2 \cos \left(\frac{2\pi f_{IF}}{f_s} \right)$$

11

遅延手段 20 b は、第二信号を 1 タイミングだけ遅延させて出力する。符号逆転器 20 c は、遅延手段 20 b の出力の符号を反転させる。すなわち、“-1” を乗じる。加算器 20 d は、定数乗算器 20 a の出力と、符号逆転器 20 c の出力とを加算して出力する。加算器 20 d
5 の出力がフィードバック信号である。

すなわち、フィードバック信号出力部 20 は、第二信号に所定係数 K を乗じたものから、第二信号を 1 タイミングだけ遅延させたものを減じたフィードバック信号を出力する。ここで、フィードバック信号
10 $= K \cdot s[n-1] - s[n-2]$ となる。

ここで、A/D コンバータ 12 から出力されたデジタル入力信号と、フィードバック信号出力部 20 から出力されたフィードバック信号とを加算したものが第一信号であるので、 $s[n] = x[n] + K \cdot s[n-1] - s[n-2]$
15 となる。

第一レジスタ 22 は、第一信号出力器 16 から第一信号を受けて記録する。第二レジスタ 24 は、第二信号出力器 18 から第二信号を受けて記録する。

20

なお、周波数領域変換部 7 は、第一レジスタ 22 および第二レジスタ 24 から、N タイミング（1 タイミングの N 倍、ただし N は整数）ごとに、第一信号および第二信号を読み出し、入力信号を周波数領域に変換したものを求める。すなわち、検波装置 6 および周波数領域変
25 換部 7 により、入力信号に対して DFT（離散フーリエ変換）が行われる。なお、N は任意に設定できる。第一信号を $s[n]$ 、第二信号を $s[n-1]$

とすれば、周波数領域への変換結果 $y[n] = s[n] - W \cdot s[n-1]$ である。
ただし、 W は、下記の式の通りである。

【数 2】

$$5 \quad W = -\cos\left(\frac{2\pi f_{IF}}{f_s}\right) + j \sin\left(\frac{2\pi f_{IF}}{f_s}\right)$$

また、検波装置 6 においては、サンプリングを開始してから、周波数領域変換部 7 による DFT 結果の取得までの一定の時間窓内に N 個のサンプル点がサンプリングされることになる。よって、検波装置 6
10 および周波数領域変換部 7 により行われる DFT においては、0Hz からサンプリング周波数 f_s までを N 分割して周波数変換が行われることになる。このため、サンプル数たる N を大きくすることにより、周波数分解能が上がる。本発明の実施形態においては入力信号の検出帯域幅を規定するものであり、測定時間と必要帯域幅との兼ね合いで決定
15 される。例えば、サンプリング周波数 f_s が 10MHz であり、検出帯域幅に 100kHz が必要であれば、 $N = 100 (= 10\text{MHz} \div 100\text{kHz})$ が目安となり、測定時間は $10 \mu\text{S} (= 100 \div 10\text{MHz})$ となる。

ここで、検波装置 6 および周波数領域変換部 7 により DFT が行わ
20 れる原理を説明する。検波装置 6 および周波数領域変換部 7 は、Goertzel 法と呼ばれるアルゴリズムを使用して DFT を行う。Goertzel 法は以下のような計算方式である。

サンプリングされた入力信号列を $x[0], x[1], \dots, x[n], \dots, x[N-1]$ と表

す。N は DFT 計算に使用される時間窓内の入力信号のサンプル数である。この $x[n]$ に対し、以下の漸化式の演算を行う。

$$s[n] = x[n] + K \cdot s[n-1] - s[n-2] \quad \cdots (1)$$

$$5 \quad y[n] = s[n] - W \cdot s[n-1] \quad \cdots (2)$$

$s[n]$ は計算途中における媒介変数、 $y[n]$ が出力値である。 $s[n]$ の初期値は、 $s[-2] = s[-1] = 0$ である。また、K と W は定数であり、以下のようなものである。ただし、 f_{IF} : 入力信号の周波数、 f_s : サンプルング周波数、である。

10

【数 3】

$$K = 2 \cos \left(\frac{2\pi f_{IF}}{f_s} \right)$$

$$W = -\cos \left(\frac{2\pi f_{IF}}{f_s} \right) + j \sin \left(\frac{2\pi f_{IF}}{f_s} \right)$$

- 15 (1) 式, (2) 式をサンプルング信号の入力から N 回繰り返し、最終的な $y[n]$ を取り出すことによって DFT 結果が得られる。しかし、(2) 式はフィードフォワード形のフィルタ構成をしており、また必要な情報は N 回の演算後の $y[N-1]$ の値である。よって、(2) 式は常に演算を行う必要がなく、N 回後の演算の後に 1 度だけ行えばよい。
- 20 よって反復計算は (1) 式だけを行えばよいことになる。(2) 式の演算はサンプルング速度に対して $1/N$ の速度で良い。このため、これを

コンピュータ内のプログラム上で演算を行う方法を用いても速度的に十分間に合うものとなる。もちろん、(2)式も論理演算回路で実現しても特に問題は起こらない。

- 5 ここで、(1)式は第一信号出力器 16 が出力する第一信号に相当する。(2)式は周波数領域変換部 7 により得られる、入力信号を周波数領域に変換した結果である。よって、図 2 に示すような構成により、DFT を行うことができる。また、(2)式の演算はサンプリング速度に対して $1/N$ の速度で良いため、周波数領域変換部 7 は、第一レジスタ 22 および第二レジスタ 24 から、N タイミングごとに、第一信号
10 および第二信号を読み出せばよいことになる。

次に、本発明の第一の実施形態の動作を図 3 のタイミングチャートおよび図 4 のフローチャートを参照して説明する。

15

- まず、検波装置 6 の A/D コンバータ 12 は、被測定物 10 が出力した信号を入力信号として受ける。図 3 (A) は、検波装置 6 の A/D コンバータ 12 が受けた入力信号の、周波数 f_{IF} の信号の包絡線である。図 3 (A) に示すように、入力信号の初めの部分は過渡応答であり、値が不安定である。過渡応答がおさまると、値が安定する。値が安定している部分は定常応答である。このように、過渡応答に引き続いて定常
20 応答が生じる。

- クロックジェネレータ 14 は、A/D コンバータ 12 への入力信号
25 における過渡応答が終わったことを示すトリガ信号を受け (S10 ; 図 4 参照)、サンプリング周波数 f_s のサンプリングタイミングを発生

15

する。図 3 (B)はトリガ信号を、図 3 (C)はサンプリングタイミングを示す。図 3 (B)より、トリガ信号は、入力信号における過渡応答が終わった時点で発生していることがわかる。図 3 (C)より、サンプリングタイミングは、トリガ信号の発生から少なくとも N 回は発生していることがわかる。なお、サンプリングタイミングの発生は、トリガ信号の発生から N 回目まで停止させずともよく、連続して行ってもよい。

A/Dコンバータ 12 は、クロックジェネレータ 14 からサンプリングタイミングを受け、入力信号をデジタル入力信号に変換して出力する。図 4 を参照して、デジタル入力信号と、フィードバック信号出力部 20 から出力されたフィードバック信号とは、第一信号出力器 16 によって加算され、第一信号が出力される (S 12)。第一信号は、第一レジスタ 22 に記録される。

また、第一信号は、第二信号出力器 18 に与えられ、1 タイミングだけ遅延され、第二信号として出力される (S 14)。第二信号は、第二レジスタ 24 に記録される。ここで、トリガ信号から N タイミング目まで、第一信号および第二信号が出力されたか否かが判別される (S 16)。N タイミング目にまだ達していなければ (S 16、No)、フィードバック信号出力部 20 が第二信号に基づき、フィードバック信号を出力する (S 18)。そして、第一信号の出力 (S 12) に戻る。

なお、トリガ信号から N タイミング目まで達したか否かは、図示省略したカウンタにより判定される。カウンタは、トリガ信号から 1 タイミングごとにパルスのカウントするものである。カウンタは、トリガ信号によりクリアされる。

トリガ信号から N タイミング目まで、第一信号および第二信号が出力されたならば (S 1 6、Y e s)、周波数領域変換部 7 は、第一レジスタ 2 2 および第二レジスタ 2 4 から、第一信号および第二信号を読み出し、入力信号を周波数領域に変換したものを求める (S 2 0)。図 3 (D) は、周波数領域変換部 7 による第一信号および第二信号の取得タイミングを示す。トリガ信号から N タイミング目まで到達すると、周波数領域変換部 7 により、第一信号および第二信号の取得が行われることがわかる。

10

そして、さらなるトリガ信号 (S 1 0) まで、検波装置 6 による第一信号および第二信号の生成は行わないようにしてもよい。図 3 を参照して、入力信号 h (図 3 (A) 参照) について第一信号および第二信号の取得が行われてから (図 3 (D) 参照)、入力信号 h+1 (図 3 (A) 参照) についてトリガ信号が生成される時 (図 3 (B) 参照) までの時間 T は、第一信号および第二信号の生成は行わないようにしてもよい。

15

本発明の第一の実施形態によれば、入力信号における、ある特定の周波数点の信号のみを検出するため、他の周波数成分はキャンセルされる。すなわち、フィルタリングと同じ効果をもつ。特に、入力信号に高調波が存在する場合、高調波の周波数点が f_{IF}/f_s の倍数に存在するため、入力信号の目的とする周波数信号と高調波とが完全に直交する関係となり、検波出力に影響をまったく受けない利点を持つ。このように、第一信号および第二信号をフィルタリングするためのフィルタを配置する必要がなくなる。フィルタをハードウェアで実現すべく論理回路により実装すれば演算量が多くなってしまうところ、フィルタ

20

25

が不要なのであるから、演算量が少なくすみ、検波装置 6 の処理を高速に行うことができる。

また、本発明の第一の実施形態によれば、周波数領域変換部 7 が
5 CPU がプログラムを読み出して実行していくことにより実現されており、しかも検波装置 6 がハードウェアで実現されている場合は、周波数領域変換部 7 の処理速度は検波装置 6 の処理速度よりも遅い。しかし、検波装置 6 が第一信号および第二信号を N 回計算する間に、周波数領域変換部 7 は周波数領域への変換を 1 回行えばすむ。よって、
10 検波装置 6 の処理速度よりも、周波数領域変換部 7 の処理速度が低くても問題無い。検波装置 6 の処理速度を、周波数領域変換部 7 の処理速度にあわせて落とす必要も無い。したがって、検波装置 6 の処理を高速に行うことができる。

15 さらに、本発明の第一の実施形態によれば、信号の検出帯域幅は、サンプリング周波数 f_s を N で割った値となる。よって、 N を変更するだけで容易に検出帯域幅を変更することができる。

しかも、本発明の第一の実施形態によれば、検波装置 6 による第一
20 信号および第二信号の生成は、最初のトリガ信号から N タイミング目までの間だけ行えばよい。すなわち、一種のフレーム処理である。そこで、それ以外の時間（例えば、時間 T （図 3 参照））は、第一信号および第二信号の生成を行わなくてよい。よって、例えば時間 T の内に、周波数領域変換部 7 における N の設定や、定数乗算器 20a における
25 所定の係数 K の設定を行える。

18

また、本発明の第一の実施形態によれば、検波装置 6 による第一信号および第二信号の生成は、一種のフレーム処理であるため、入力信号 h に対する測定結果が、入力信号 $h+1$ に対する測定結果に影響を及ぼすといったようなことがない。すなわち、以前の測定結果が次の

5 測定に対して影響を与えることがなくなる。これにより、従来のように検波器の内のフィルタ応答等の検討の必要がなくなる。

なお、従来の直交検波方式では、被測定信号と参照信号との乗算が必要であり、低周波成分の他に不要な信号が発生する。しかし、本発明の第一の実施形態によれば DFT（離散フーリエ変換）を行うので不要な信号が発生せず、より特性のよい検波器出力（第一信号および第二信号）が得られる。

10

さらに、従来の直交検波方式では参照信号として正弦波の信号を用いるが、本発明の第一の実施形態の検波装置 6 によれば正弦波の信号を特に使用しないため、大きなサインテーブルを持つ必要が無く、検波装置 6 の処理を高速に行うことができる。

15

第二の実施形態

20 第二の実施形態は、第一の実施形態におけるフィードバック信号出力部 20 に替えて、第一フィードバック信号出力部 60 および第二フィードバック信号出力部 70 を用いるようにした点が異なる。

図 5 は、本発明の第二の実施形態にかかる検波装置 6 の構成を示すブロック図である。検波装置 6 は、A/D コンバータ 12、クロックジェネレータ 14、第一信号出力器 16、第二信号出力器 18、第一

25

19

レジスタ 22、第二レジスタ 24、第一フィードバック信号出力部 60 および第二フィードバック信号出力部 70 を備える。以下、第一の実施形態と同一の部分は、同一の番号を付して説明を省略する。

- 5 A/Dコンバータ 12、クロックジェネレータ 14、第二信号出力器 18、第一レジスタ 22 および第二レジスタ 24 は第一の実施形態と同様であり説明を省略する。

- 10 第一信号出力器 16 は、A/Dコンバータ 12 から出力されたデジタル入力信号と、第一フィードバック信号出力部 60 から出力された第一フィードバック信号と、第二フィードバック信号出力部 70 から出力された第二フィードバック信号とを加算して出力する。第一信号出力器 16 の出力を第一信号という。ここで、第一信号を $s[n]$ という。ただし、 $0 \leq n \leq N-1$ であって、 $s[n]$ は $x[n]$ に対応する。

15

- 第一信号出力器 16 は、第一加算器 16a、第二加算器 16b を有する。第一加算器 16a は、デジタル入力信号と、第二フィードバック信号とを加算して出力する。第二加算器 16b は、第一加算器 16a の出力と、第一フィードバック信号とを加算して出力する。第二加算器 16b の出力が、第一信号となる。
- 20

- 第一フィードバック信号出力部 60 は、1 タイミングの時間をかけて、第一信号に所定係数 K を乗じた第一フィードバック信号を出力する。第一フィードバック信号出力部 60 は、遅延手段 62、定数乗算器 64 を有する。
- 25

20

遅延手段 6 2 は、第一信号を 1 タイミングだけ遅延させて出力する。定数乗算器 6 4 は、遅延手段 6 2 の出力に、所定の係数 K を乗じて出力する。定数乗算器 6 4 の出力が第一フィードバック信号となる。所定の係数 K は、第一の実施形態の定数乗算器 2 0 a における K と同じ
5 ものである。ここで、第一フィードバック信号は $K \cdot s[n-1]$ となる。

一般に、定数乗算器を論理回路における組み合わせロジックだけで実現する場合、論理が複雑となり、定数乗算器の動作速度を上げることが難しい。よって、通常は、定数乗算器の内部にフリップフロップ
10 回路等を持ち、演算の途中結果をこのフリップフロップ回路に持たせることによりサンプリングタイミング速度を上げることが行なわれる。この場合、定数乗算器は入力された信号に対して内部フリップフロップ分のサンプリングタイミングの遅れを伴い、信号を出力する。

15 内部にフリップフロップ回路等を持った定数乗算器の信号出力の際の遅れは、遅延手段と同等の機能を有する。よって、内部にフリップフロップ回路等を持った定数乗算器は、定数乗算器としてのみならず遅延手段としての機能もあわせて有するので、遅延手段 6 2 および定数乗算器 6 4 の組み合わせと同等の機能を有する。よって、内部にフ
20 リップフロップ回路等を持った定数乗算器を、第一フィードバック信号出力部 6 0 として利用できる。

また、遅延手段 6 2 は、定数乗算器 6 4 の前にあるように図 5 において図示しているが、定数乗算器 6 4 の後に配置してもかまわない。
25 すなわち、遅延手段 6 2 の位置は、第一フィードバック信号出力部 6 0 内部であれば、特定の位置に限定されるものではない。

さらに、第一フィードバック信号出力部 60 として、内部にフリップフロップ回路等を持った定数乗算器を利用できることは先に説明した通りであるが、1 タイミング以内に数クロック分の演算動作を行な
5 う定数乗算器を利用することも可能である。

第二フィードバック信号出力部 70 は、第二信号を 1 タイミングだけ遅延させ、符号を反転させた第二フィードバック信号を出力する。
第二フィードバック信号出力部 70 は、遅延手段 72、符号逆転器 7
10 4 を有する。

遅延手段 72 は、第二信号を 1 タイミングだけ遅延させて出力する。
符号逆転器 74 は、遅延手段 72 の出力の符号を反転させる。すなわち、“-1”を乗じる。符号逆転器 74 の出力が第二フィードバック信
15 号となる。ここで、第二フィードバック信号 $= -s[n-2]$ となる。

第一信号出力器 16 は、デジタル入力信号 $x[n]$ と、第一フィードバック信号 $K \cdot s[n-1]$ と、第二フィードバック信号 $-s[n-2]$ とを加算して、
第一信号 $s[n] = x[n] + K \cdot s[n-1] - s[n-2]$ を出力する。

20

すなわち、第一加算器 16a は、デジタル入力信号 $x[n]$ と、第二フィードバック信号 $-s[n-2]$ とを加算して $x[n] - s[n-2]$ を出力する。第二加算器 16b は、第一加算器 16a の出力 $x[n] - s[n-2]$ と、第一フィードバック信号 $K \cdot s[n-1]$ とを加算して第一信号 $s[n] = x[n] + K \cdot s[n-1]$
25 $- s[n-2]$ を出力する。

22

本発明の第二の実施形態の動作は第一の実施形態の動作と同様であり説明を省略する（図 3、図 4 参照）。

本発明の第二の実施形態によれば、第一の実施形態と同様な効果を
5 奏する。

しかも、本発明の第二の実施形態によれば、内部にフリップフロップ回路等を持った定数乗算器を、第一フィードバック信号出力部 60 として利用できる。内部にフリップフロップ回路等を持った定数乗算
10 器は、先に説明したように、サンプリングタイミング速度が向上する。よって、第一フィードバック信号出力部 60 のサンプリングタイミング速度が向上することにより、検波装置 6 の検波特性が向上する。

さらに、本発明の第二の実施形態によれば、第一の実施形態よりも
15 論理回路の負担が軽くなり、動作速度を上げることができる。

すなわち、第一の実施形態（図 2 参照）においては、第二信号出力器 18 から出力される第二信号について、1 タイミングの間に、定数乗算器 20 a、加算器 20 d および第一信号出力器 16 による三つの
20 演算が行われなければならない。しかし、これにより、演算回路は非常に複雑になり動作速度が極端に落ちる可能性がある。

ここで、第二の実施形態（図 5 参照）においては、遅延手段 62 から出力される信号について、1 タイミングの間に、定数乗算器 64 および第二加算器 16 b による二つの演算が行われればよい。よって、
25 演算回路が簡素になり動作速度を上げることができる。

第三の実施形態

第三の実施形態は、第一の実施形態におけるフィードバック信号出力部 20 に替えて、第三フィードバック信号出力部 80 および第二フィードバック信号出力部 70 を用いるようにした点が異なる。

図 6 は、本発明の第三の実施形態にかかる検波装置 6 の構成を示すブロック図である。検波装置 6 は、A/D コンバータ 12、クロックジェネレータ 14、第一信号出力器 16、第二信号出力器 18、第一レジスタ 22、第二レジスタ 24、第二フィードバック信号出力部 70 および第三フィードバック信号出力部 80 を備える。以下、第一あるいは第二の実施形態と同一の部分は、同一の番号を付して説明を省略する。

A/D コンバータ 12、クロックジェネレータ 14、第二信号出力器 18、第一レジスタ 22 および第二レジスタ 24 は第一の実施形態と同様であり説明を省略する。第二フィードバック信号出力部 70 は第二の実施形態と同様であり説明を省略する。

第一信号出力器 16 は、A/D コンバータ 12 から出力されたデジタル入力信号と、および第三フィードバック信号出力部 80 から出力された第三フィードバック信号と、第二フィードバック信号出力部 70 から出力された第二フィードバック信号とを加算して出力する。第一信号出力器 16 の出力を第一信号という。ここで、第一信号を $s[n]$ という。ただし、 $0 \leq n \leq N-1$ であって、 $s[n]$ は $x[n]$ に対応する。

24

第一信号出力器 16 は、第一加算器 16 a、第二加算器 16 b を有する。第一加算器 16 a は、デジタル入力信号と、第二フィードバック信号とを加算して出力する。第二加算器 16 b は、第一加算器 16 a の出力と、第三フィードバック信号とを加算して出力する。第二加算器 16 b の出力が、第一信号となる。

第三フィードバック信号出力部 80 は、第二信号出力器 18 の出力した第二信号 $s[n-1]$ に所定の係数 K を乗じた第三フィードバック信号を出力する。所定の係数 K は、第一の実施形態の定数乗算器 20 a における K と同じものである。ここで、第三フィードバック信号は $K \cdot s[n-1]$ となる。

第一信号出力器 16 は、デジタル入力信号 $x[n]$ と、第三フィードバック信号 $K \cdot s[n-1]$ と、第二フィードバック信号 $-s[n-2]$ とを加算して、第一信号 $s[n] = x[n] + K \cdot s[n-1] - s[n-2]$ を出力する。

すなわち、第一加算器 16 a は、デジタル入力信号 $x[n]$ と、第二フィードバック信号 $-s[n-2]$ とを加算して $x[n] - s[n-2]$ を出力する。第二加算器 16 b は、第一加算器 16 a の出力 $x[n] - s[n-2]$ と、第三フィードバック信号 $K \cdot s[n-1]$ とを加算して第一信号 $s[n] = x[n] + K \cdot s[n-1] - s[n-2]$ を出力する。

本発明の第三の実施形態の動作は第一の実施形態の動作と同様であり説明を省略する（図 3、図 4 参照）。

25

本発明の第三の実施形態によれば、第一の実施形態と同様な効果を

奏する。

さらに、本発明の第三の実施形態によれば、第一の実施形態よりも論理回路の負担が軽くなり、動作速度を上げることができる。

5

すなわち、第一の実施形態（図 2 参照）においては、第二信号出力器 18 から出力される第二信号について、1 タイミングの間に、定数乗算器 20 a、加算器 20 d および第一信号出力器 16 による三つの演算が行われなければならない。しかし、これにより、演算回路は非常
10 に複雑になり動作速度が極端に落ちる可能性がある。

ここで、第三の実施形態（図 6 参照）においては、第二信号出力器 18 から出力される信号について、1 タイミングの間に、第三フィードバック信号出力部 80 および第二加算器 16 b による二つの演算
15 が行われればいい。よって、演算回路が簡素になり動作速度を上げることができる。

また、上記の実施形態において、検波装置 6 をハードウェア（論理回路）で実現することを念頭において説明を行ってきた。しかし、
20 CPU、ハードディスク、メディア（フロッピーディスク、CD-ROM など）読み取り装置を備えたコンピュータのメディア読み取り装置に、検波装置 6 の各部分（例えば、第一信号出力器 16、第二信号出力器 18、フィードバック信号出力部 20 など）を実現するプログラムを記録したメディアを読み取らせて、ハードディスクにインストール
25 する。このような方法でも、検波装置 6 を実現できる。

請 求 の 範 囲

1. 入力信号をサンプリングしてデジタル入力信号を生成するデジタル入力信号生成手段と、

- 5 前記デジタル入力信号と所定の信号とを加算した第一信号を出力する第一信号出力手段と、

前記デジタル入力信号生成手段におけるサンプリングタイミングの一周期分の時間である 1 タイミングだけ前記第一信号を遅延させた第二信号を出力する第二信号出力手段と、

- 10 1 タイミングの所定整数倍ごとに、前記第一信号および前記第二信号を取得して、前記入力信号を周波数領域のデータに変換したものを求める周波数領域変換手段と、

を備え、

- 15 前記所定の信号は、1 タイミングだけ前記第一信号を遅延させた信号に所定係数を乗じたものから、2 タイミングだけ前記第一信号を遅延させたものを減じた信号である、

検波装置。

2. 請求項 1 に記載の検波装置であって、

- 20 前記第二信号に所定係数を乗じたものから、前記第二信号を前記 1 タイミングだけ遅延させたものを減じたフィードバック信号を出力するフィードバック信号出力手段を備え、

前記所定の信号は、前記フィードバック信号である、

検波装置。

3. 請求項 1 に記載の検波装置であって、

27

1 タイミングの時間をかけて、前記第一信号に所定係数を乗じた第一フィードバック信号を出力する第一フィードバック信号出力手段と、

前記第二信号を前記 1 タイミングだけ遅延させ、符号を反転させた第二フィードバック信号を出力する第二フィードバック信号出力手段

5 と、

を備え、

前記所定の信号は、前記第一フィードバック信号および前記第二フィードバック信号である、

検波装置。

10

4. 請求項 1 に記載の検波装置であって、

前記第二信号に所定係数を乗じた第三フィードバック信号を出力する第三フィードバック信号出力手段と、

前記第二信号を前記 1 タイミングだけ遅延させ、符号を反転させた第二フィードバック信号を出力する第二フィードバック信号出力手段

15 と、

を備え、

前記所定の信号は、前記第三フィードバック信号および前記第二フィードバック信号である、

20 検波装置。

5. 請求項 1 に記載の検波装置であって、

前記入力信号は、被測定物の過渡応答および前記過渡応答に引き続いて生ずる定常応答が繰り返しているものであり、

25 前記第一信号出力手段は、前記周波数領域変換手段が前記第一信号を取得した後は、前記過渡応答が再度生じてから終えるまで前記第一

信号の出力を行わない、
検波装置。

6. 請求項 5 に記載の検波装置であって、
- 5 前記周波数領域変換手段が前記第一信号を取得した後から、前記過渡応答が再度生じてから終えるまでの間に、
前記所定係数の設定が行なわれる、
検波装置。
- 10 7. 請求項 5 に記載の検波装置であって、
前記周波数領域変換手段は、
前記周波数領域変換手段が前記第一信号を取得した後から、前記過渡応答が再度生じてから終えるまでの間に、
前記所定整数の設定を行う、
- 15 検波装置。
8. デジタル入力信号生成手段が、入力信号をサンプリングしてデジタル入力信号を生成するデジタル入力信号生成工程と、
第一信号出力手段が、前記デジタル入力信号と所定の信号とを加算
- 20 した第一信号を出力する第一信号出力工程と、
第二信号出力手段が、前記デジタル入力信号生成工程におけるサンプリングタイミングの一周期分の時間である 1 タイミングだけ前記第一信号を遅延させた第二信号を出力する第二信号出力工程と、
周波数領域変換手段が、1 タイミングの所定整数倍ごとに、前記第
- 25 一信号および前記第二信号を取得して、前記入力信号を周波数領域のデータに変換したものを求める周波数領域変換工程と、

を備え、

前記所定の信号は、1 タイミングだけ前記第一信号を遅延させた信号に所定係数を乗じたものから、2 タイミングだけ前記第一信号を遅延させたものを減じた信号である、

5 検波方法。

9. 入力信号をサンプリングしてデジタル入力信号を生成するデジタル入力信号生成手段を有する検波装置における検波処理をコンピュータに実行させるためのプログラムであって、

- 10 前記デジタル入力信号と所定の信号とを加算した第一信号を出力する第一信号出力処理と、

前記デジタル入力信号生成手段におけるサンプリングタイミングの一周分分の時間である1 タイミングだけ前記第一信号を遅延させた第二信号を出力する第二信号出力処理と、

- 15 1 タイミングの所定整数倍ごとに、前記第一信号および前記第二信号を取得して、前記入力信号を周波数領域のデータに変換したものを求める周波数領域変換処理と、

をコンピュータに実行させるためのプログラムであり、

- 20 前記所定の信号は、1 タイミングだけ前記第一信号を遅延させた信号に所定係数を乗じたものから、2 タイミングだけ前記第一信号を遅延させたものを減じた信号である、

プログラム。

- 25 10. 入力信号をサンプリングしてデジタル入力信号を生成するデジタル入力信号生成手段を有する検波装置における検波処理をコンピュータに実行させるためのプログラムを記録したコンピュータによっ

て読み取り可能な記録媒体であって、

前記デジタル入力信号と所定の信号とを加算した第一信号を出力する第一信号出力処理と、

- 5 前記デジタル入力信号生成手段におけるサンプリングタイミングの一周期分の時間である 1 タイミングだけ前記第一信号を遅延させた第二信号を出力する第二信号出力処理と、

1 タイミングの所定整数倍ごとに、前記第一信号および前記第二信号を取得して、前記入力信号を周波数領域のデータに変換したものを求める周波数領域変換処理と、

- 10 をコンピュータに実行させるためのプログラムを記録したコンピュータによって読み取り可能な記録媒体であり、

前記所定の信号は、1 タイミングだけ前記第一信号を遅延させた信号に所定係数を乗じたものから、2 タイミングだけ前記第一信号を遅延させたものを減じた信号である、

- 15 記録媒体。

- 1 1. 入力信号をサンプリングしてデジタル入力信号を生成するデジタル入力信号生成手段と、前記デジタル入力信号と所定の信号とを加算した第一信号を出力する第一信号出力手段と、前記デジタル入力
20 信号生成手段におけるサンプリングタイミングの一周期分の時間である 1 タイミングだけ前記第一信号を遅延させた第二信号を出力する第二信号出力手段とを有する検波装置における検波処理をコンピュータに実行させるためのプログラムであって、

- 1 タイミングの所定整数倍ごとに、前記第一信号および前記第二信号
25 号を取得して、前記入力信号を周波数領域のデータに変換したものを求める周波数領域変換処理をコンピュータに実行させるためのプログ

ラムであり、

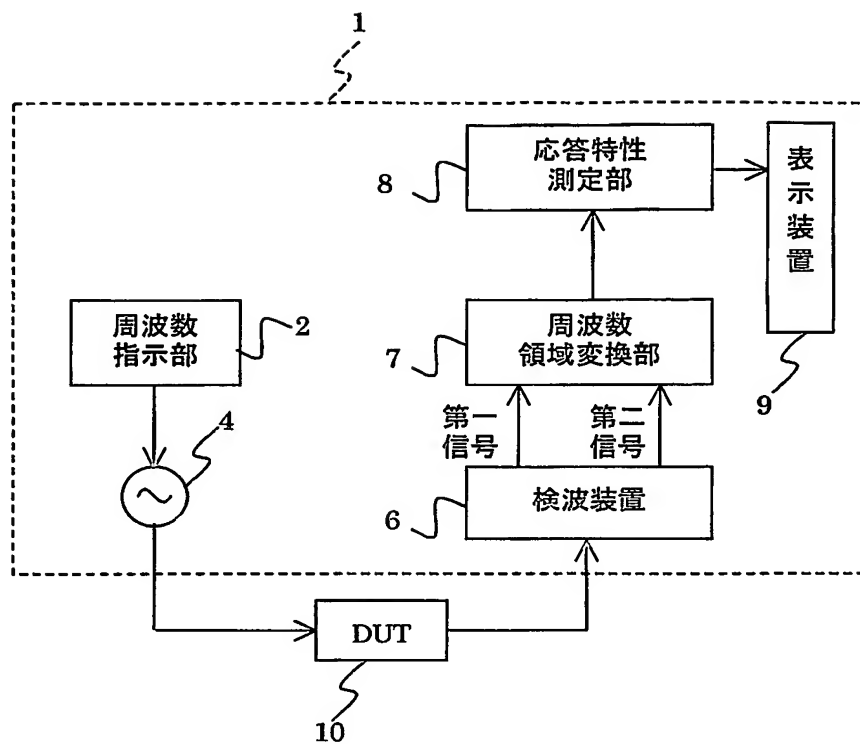
前記所定の信号は、1 タイミングだけ前記第一信号を遅延させた信号に所定係数を乗じたものから、2 タイミングだけ前記第一信号を遅延させたものを減じた信号である、

5 プログラム。

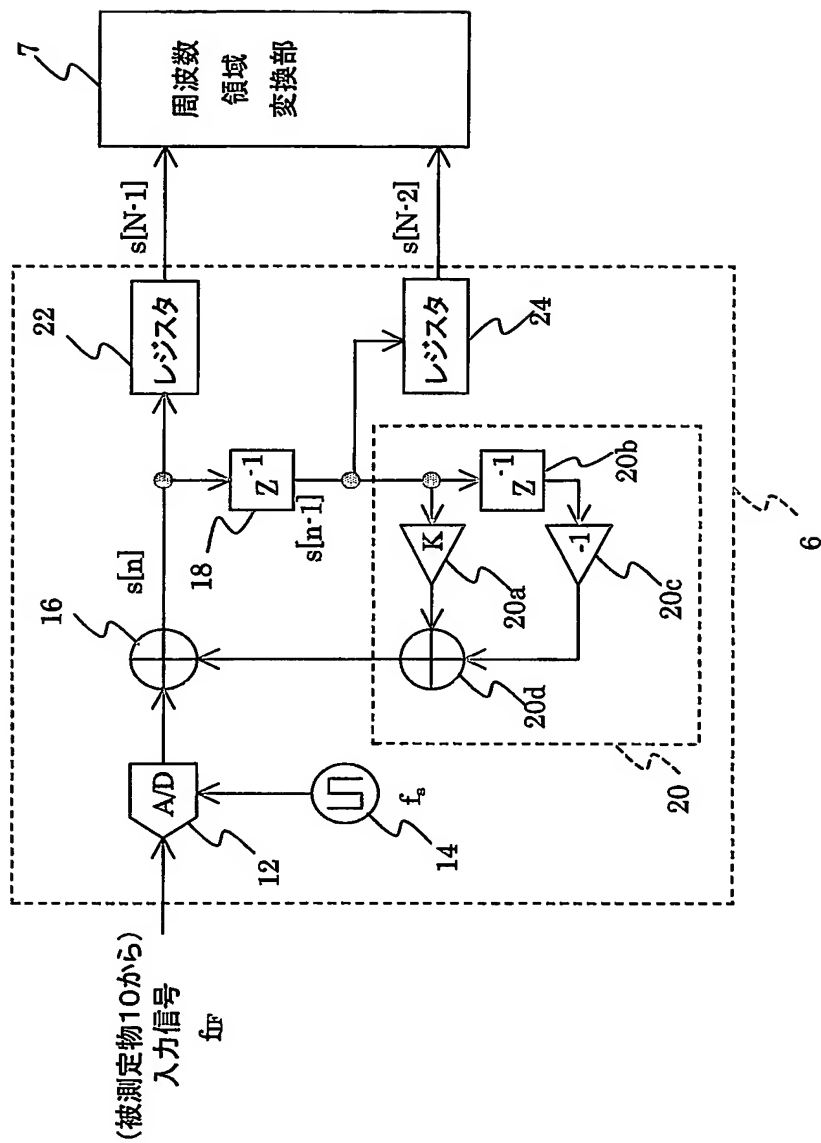
12. 入力信号をサンプリングしてデジタル入力信号を生成するデジタル入力信号生成手段と、前記デジタル入力信号と所定の信号とを加算した第一信号を出力する第一信号出力手段と、前記デジタル入力
- 10 信号生成手段におけるサンプリングタイミングの一周期分の時間である1 タイミングだけ前記第一信号を遅延させた第二信号を出力する第二信号出力手段とを有する検波装置における検波処理をコンピュータに実行させるためのプログラムを記録したコンピュータによって読み取り可能な記録媒体であって、
- 15 1 タイミングの所定整数倍ごとに、前記第一信号および前記第二信号を取得して、前記入力信号を周波数領域のデータに変換したものを求める周波数領域変換処理をコンピュータに実行させるためのプログラムを記録したコンピュータによって読み取り可能な記録媒体であり、
- 20 前記所定の信号は、1 タイミングだけ前記第一信号を遅延させた信号に所定係数を乗じたものから、2 タイミングだけ前記第一信号を遅延させたものを減じた信号である、
- 記録媒体。

1/7

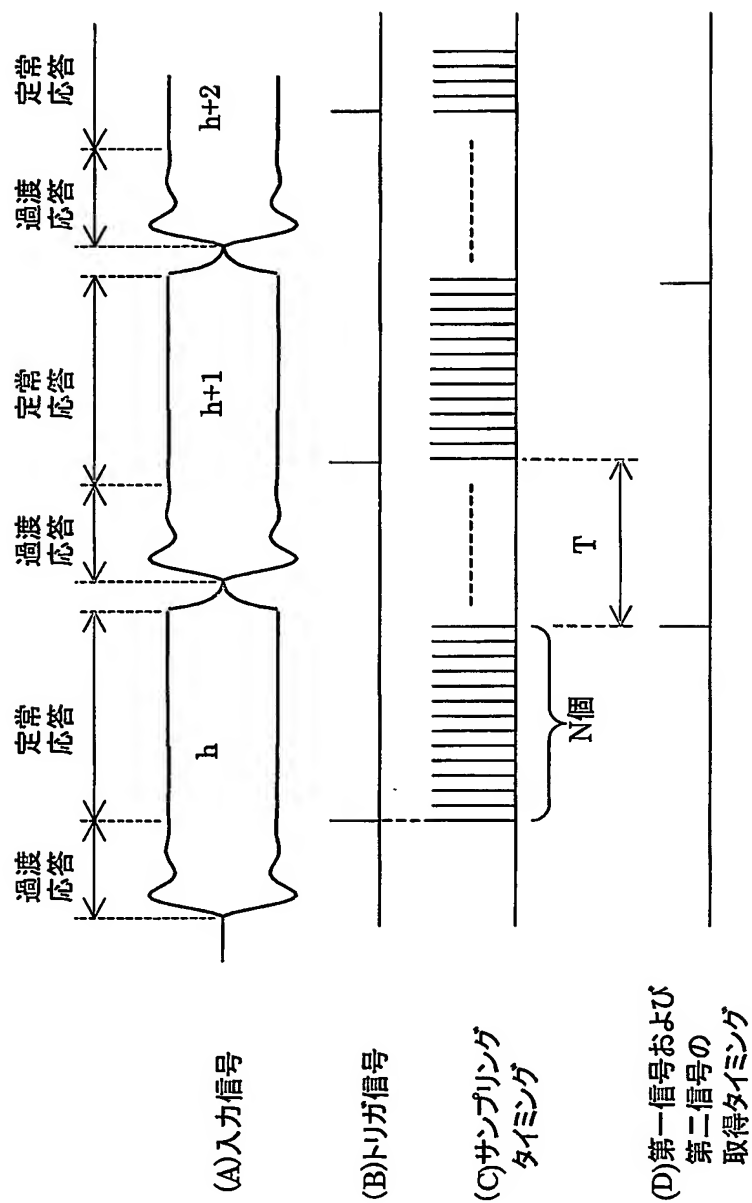
第 1 図



第 2 図

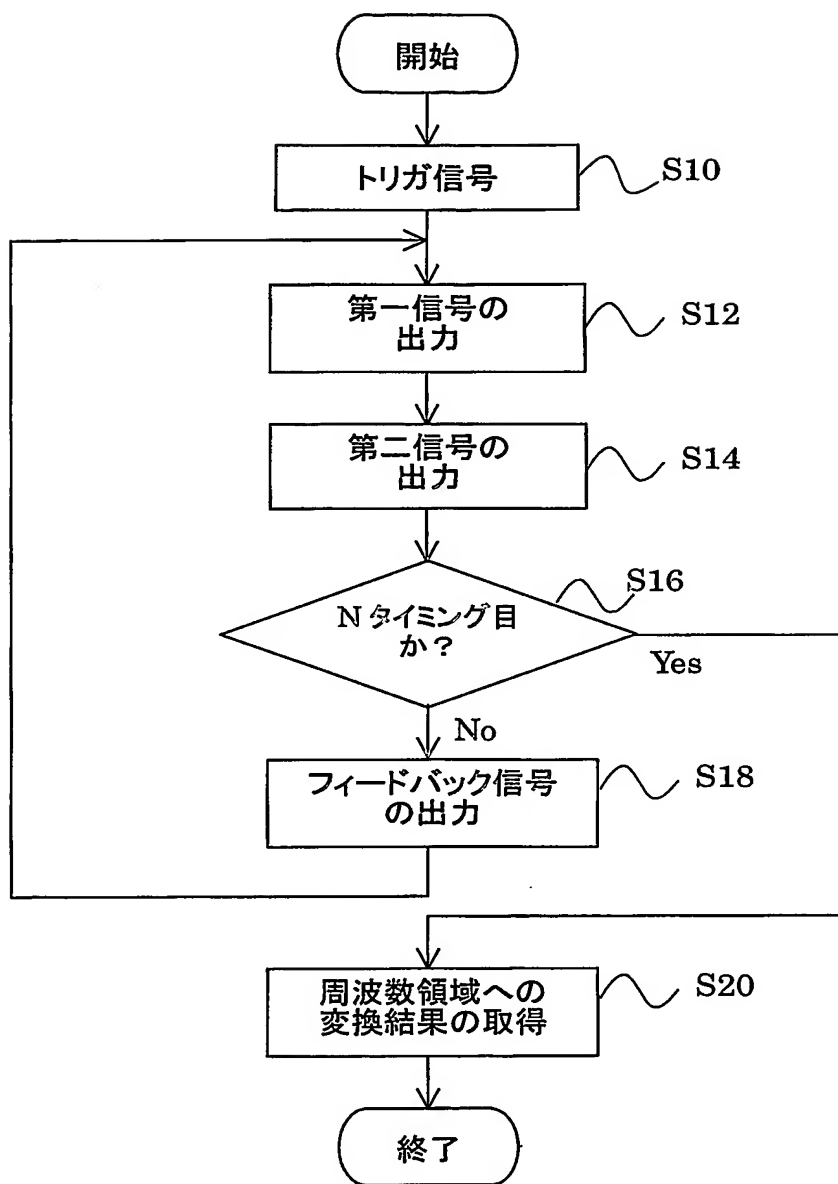


第 3 図

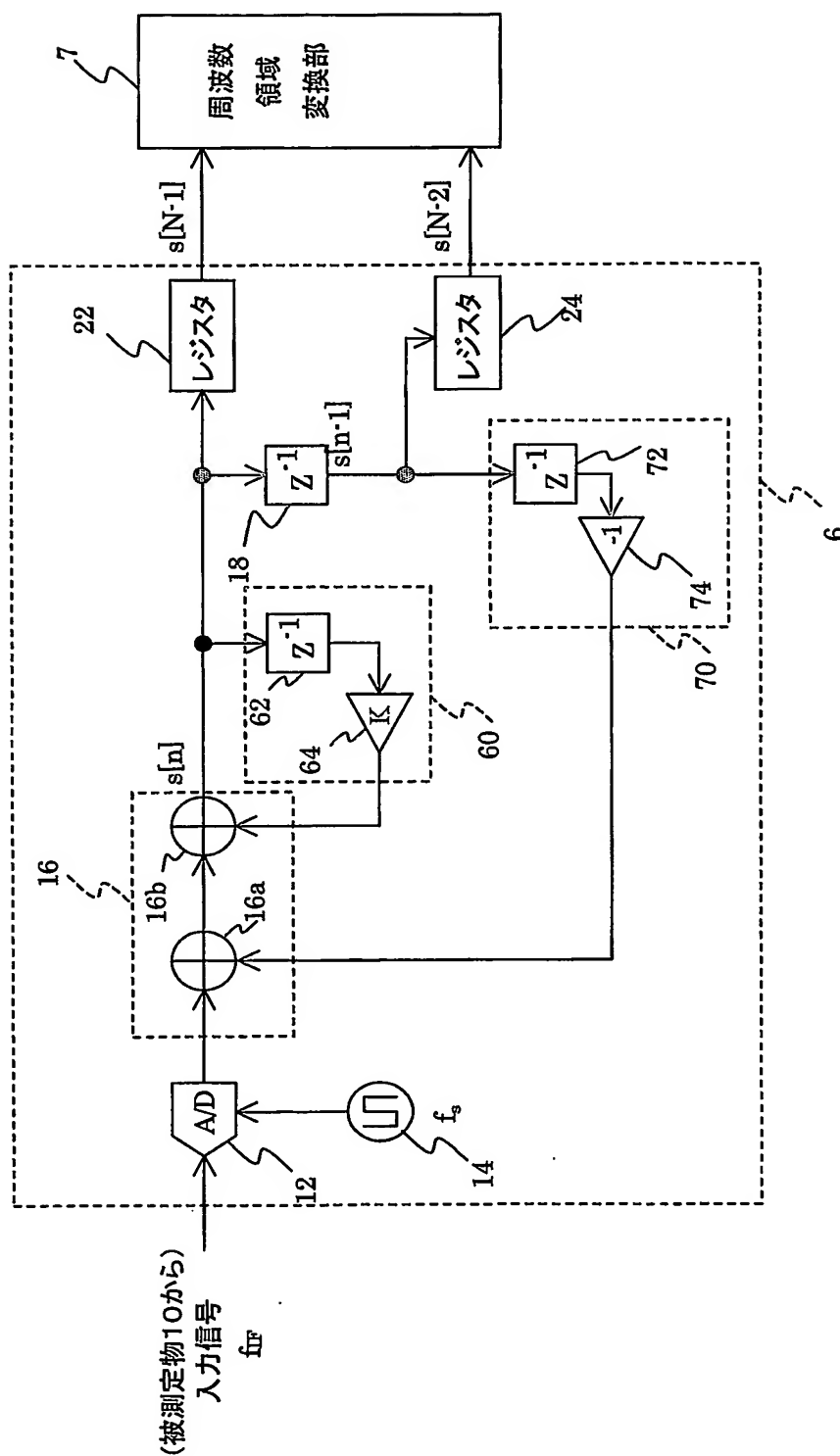


4/7

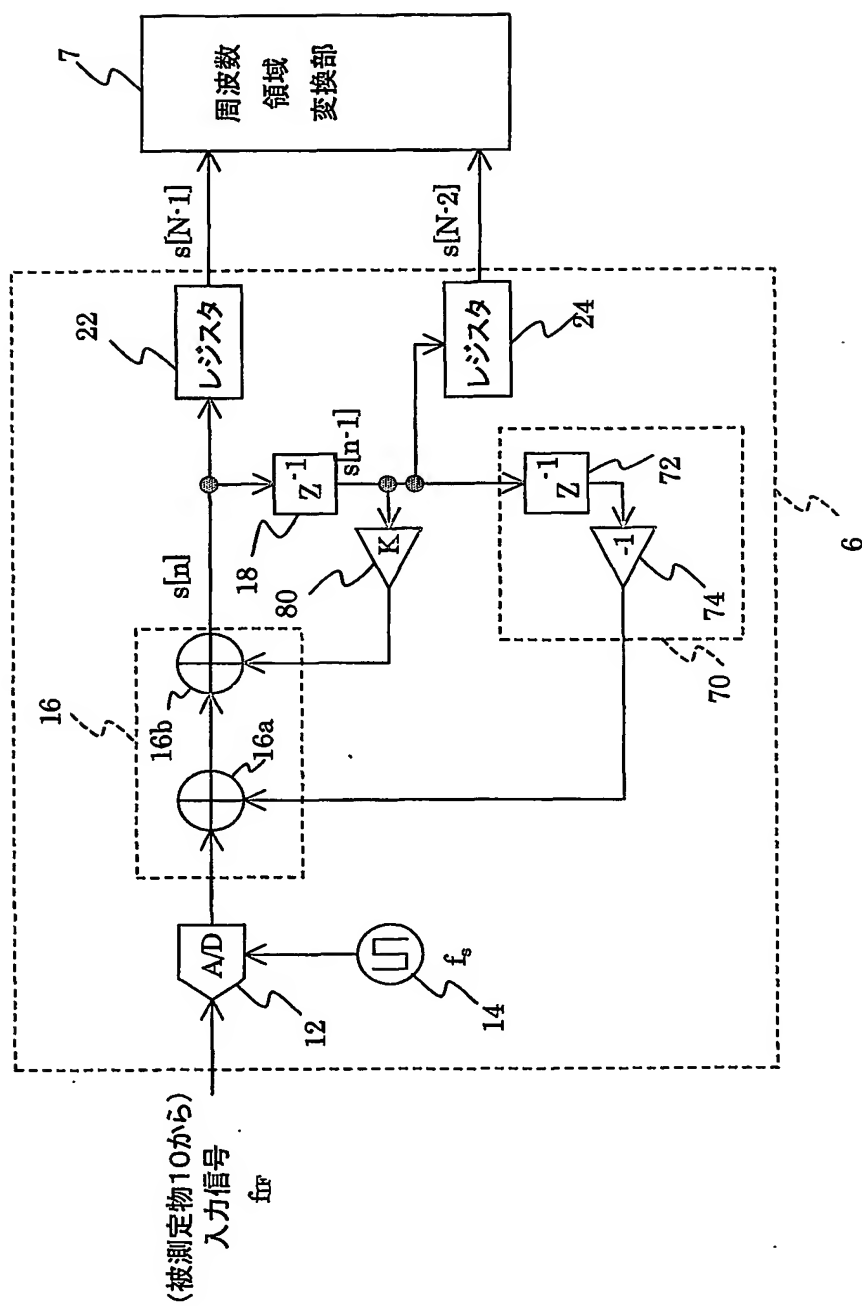
第 4 図



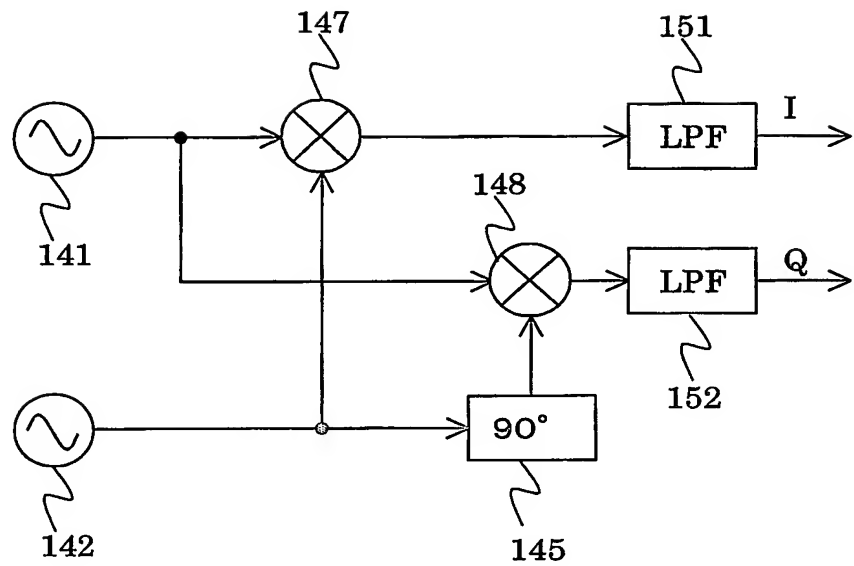
第5図



第 6 図



第 7 図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/003485

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G01R27/28

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G01R27/00-27/32, H04L27/00-27/30

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

JICST FILE

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 11-167565 A (Advantest Corp.), 22 June, 1999 (22.06.99), Full text; Figs. 1 to 11 (Family: none)	1-12

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
25 June, 2004 (25.06.04)

Date of mailing of the international search report
13 July, 2004 (13.07.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ G01R27/28

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ G01R27/00-27/32, H04L27/00-27/30

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2004年
 日本国登録実用新案公報 1994-2004年
 日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

JICST 科学技術文献ファイル

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 11-167565 A (株式会社アドバンテスト) 1999. 06. 22 全文, 図1-11 (ファミリーなし)	1-12

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

25. 06. 2004

国際調査報告の発送日

13. 7. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

中村 直行

2S

9214

電話番号 03-3581-1101 内線 3258